

print out

Patent/Publication No. 449894

Title Face-to-face multi-chip package with the capability of increasing packaging integration and raising heat dissipation effects

Publication Date 2001/08/11

Application Date 1999/01/06

Application No. 088100113

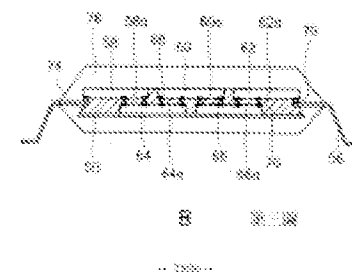
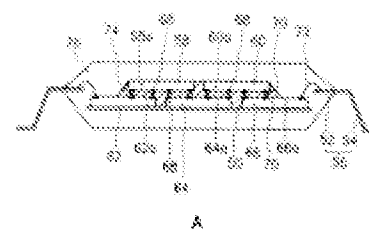
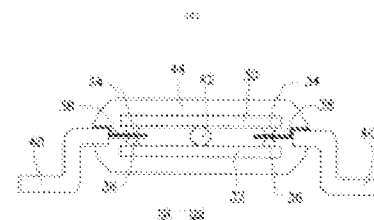
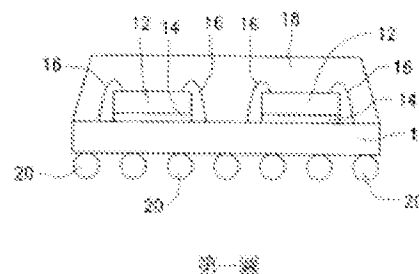
Certification_Number 139016

IPC H01L-023/28

Inventor XUAN, MING-ZHI TW;
LIN, ZHENG-DE TW

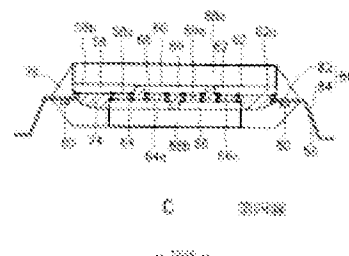
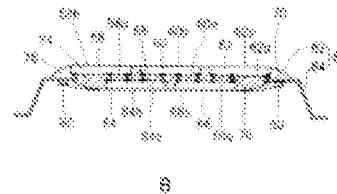
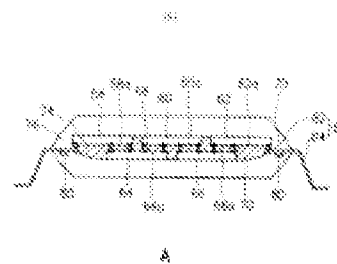
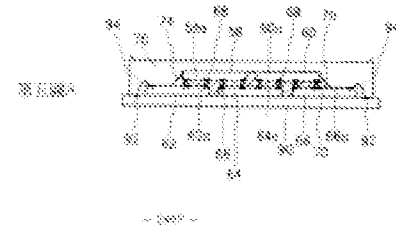
Applicant UNITED
MICROELECTRONICS
CORP. TW

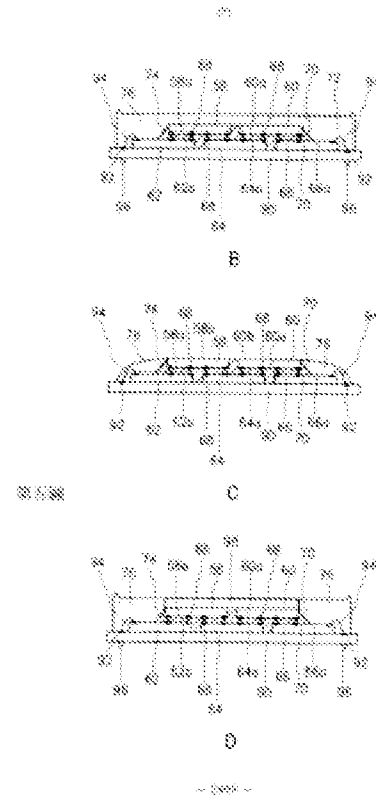
Abstract This invention is about the face-to-face multi-chip package. For the face-to-face multi-chip package, flip-chip technique is used and multi-chips are arranged face-to-face for each other. Additionally, bumps are used to make chips electrically connect with each other, and multi-chips are packaged on the same carrier. Besides, anisotropic conductive glue can be used to fill in between these chips when performing the packaging process so as to improve the electric connection in



F

Application Number	088100113
Date of Update	20090827
Licensing Note	No
Mortgage Note	No
Transfer Note	No
Succession Note	No
Trust Note	No
Opposition Note	No
Invalidation Note	No
Cessation Note	
Revocation Note	
Issue date of patent right	20010811
Patent expiry date	20190105
Maintenance fee due	20100810
Years of annuity paid	009





公告本

申請日期	88.1. - 6
案 號	88100113
類 別	H21C 23/8

A4
C4

449894

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	面對面型多晶片封裝
	英 文	
二、發明 人 創作	姓 名	1 宣明智 2 林正德
	國 籍	中華民國
	住、居所	1 新竹科學園區竹村二路 1224 號 2 台北縣三重市中央北路 42 號
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 姓 名	曹興誠

裝

訂

線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要(發明之名稱：

面對面型多晶片封裝

一種面對面型多晶片封裝。面對面型多晶片封裝係採用覆晶技術，將多個晶片彼此面對面配置，並利用凸塊使其彼此電性連接，同時將多個晶片封裝在同一承載器上。此外，封裝時可利用異方性導電膠填入這些晶片之間，以改善晶片間之電性連接。而由於採用覆晶技術，晶片上金屬墊之配置可採用面陣列方式，以提高封裝積集度，並且在封裝灌膠時可使部份晶片背面裸露，或配置一散熱片以提高其散熱效果。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

頁

五、發明說明 ()

本發明是有關於一種半導體封裝結構，且特別是有關於一種面對面型多晶片封裝(face-to-face multi-chip package)。

隨著半導體業的進展，許多相關技術也日新月異地不斷演進中。就半導體成品製造而言，一般可分為三個階段，一為半導體基底的形成，即磊晶技術部份；再則半導體元件製造，諸如 MOS 製程、多重金屬內連線等；最後則是封裝製程(Package)。然而現今所有電子產品之開發莫不朝向輕、薄、短、小的目標發展，對於半導體來說即是提高其積集度(Integration)，至於封裝技術方面，則有晶片尺寸封裝(Chip Scale Package, CSP)、多晶片型封裝(Multi-Chip Module, MCM)等封裝技術的提出。由於半導體製程技術已發展至線寬 $0.18\mu\text{m}$ 的元件生產，在積集度提高上有許多突破，因此如何開發出相對應之小體積封裝，以達到產品縮小化的目的，便成為現今重要課題。此外，不管在電腦上或民生用品上之應用，為了縮小產品體積及節省封裝成本，將多個晶片封裝在一起的多晶片型封裝，將是未來的趨勢之一。多晶片型封裝可以將處理器(processor)晶片及記憶體(memory)晶片，或者邏輯電路(Logic)晶片及記憶體晶片(包括 DRAM 及 Flash Memory)封裝在一起，不但可以降低成本，縮小封裝體積，並可縮短訊號傳輸路徑，提高效能，並可使不同製程之晶片，合為一封裝中，而無需使用特殊整合製程生產。多晶片型封裝可適用於各種功能及各種應用頻率之多晶片系統，例如：

1. 記憶體晶片+微處理器晶片+電阻+電容+電感；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

2.記憶體晶片(DRAM)+邏輯電路晶片+記憶體晶片(Flash Memory)；

3.類比晶片(Analog)+邏輯電路晶片+記憶體晶片(包括DRAM、SRAM、Flash Memory)+電阻+電容+電感

...等等。

請參照第 1 圖，其所繪示為一種習知多晶片型封裝。目前應用於多晶片型封裝的承載器大部份以多層印刷電路板(multi-level PCB)作為基材 10(substrate)，而將多個晶片 12 以絕緣膠 14 黏附於基材 10 上。晶片 12 上的焊墊(bonding pad)則以導線 16 與基材 10 上的接點連接，形成電性導通。晶片 12 與基材 10 之連接，除了可以上述打導線(wire bonding)的方法連接外，亦可利用覆晶技術(flip chip or controlled collapse chip connection, C4)以凸塊(bump)作為連接。之後，再以樹脂 18 將晶片 12 及連接部份包裝起來，而整個封裝與電路板的電性連接可採用習知錫球格狀陣列封裝(Ball Grid Array, BGA)的方式，以錫球 20 與電路板上的接點接合。然而，習知此種多晶片型封裝的缺點在於其晶片係並列於同一平面，因此其封裝所佔之面積及體積均較大，且晶片間連接的訊號路徑較長。此外，此種多晶片型封裝即使採用覆晶技術作為晶片與承載器之連接，雖然可以略為縮小封裝面積，然晶片間之連接還是利用基材 10 上的印刷線路(未繪示)，並無法有效改善縮短訊號路徑，或縮小整體封裝面積及體積的問題。

為了縮小多晶片型封裝的面積及體積，一種面對面(face to face)的多晶片型封裝方式曾揭露於美國專利第

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(之)

5331235 號中。請參照第 2 圖，其所繪示為習知面對面多晶片型封裝的剖面示意圖。習知面對面多晶片型封裝主要藉由將二晶片 30、32 具有元件的表面相互面對配置，而採用的是軟片自動接合的方式(Tape Automatic Bonding, TAB)。在內腳接合的部份(Inner Lead Bonding, ILB)，二晶片 30、32 係分別利用凸塊 34、36 與一具有導線的軟片承載器 38(film carrier)電性連接；而在外腳接合的部份(Outer Lead Bonding, OLB)，則與一導線架 40(lead frame)連接，而二晶片 30、32 間還配置一錫球 42，使得二晶片 30、32 相互連接。二晶片 30、32 連同軟片承載器 38 及部份導線架 40，則以鑄模方式用樹脂 44 將其包覆。習知此種多晶片型封裝的缺點在於：利用軟片自動接合的封裝方式，還需透過導線架或其他載體與電路板接合，徒增訊號傳輸路徑；此外，由於晶片間之連接是透過軟片承載器，因此晶片上之金屬墊(pad)配置依然採用線配置或稱周緣配置(line layout or peripheral layout)，對於將來高積集度之半導體晶片，其輸出入接點(I/O nodes)劇增，此種配置將不敷需求，且無法提高封裝的積極度。

因此本發明目的之一就是在提供一種面對面型多晶片封裝，可將多個晶片封裝在同一個承載器上。

本發明的另一目的在於提供一種面對面型多晶片封裝，縮短晶片與晶片間的訊號傳輸路徑，提高晶片的效能。

本發明的再一目的在於提供一種面對面型多晶片封裝，晶片間採用面對面配置，以降低封裝之面積及體積。

本發明又一目的在於提供一種面對面多晶片封裝結

五、發明說明(4)

構，其中晶片之金屬墊採面陣列式配置，以提高整體封裝之積集度。

本發明還有一目的在於提供一種面對面型多晶片封裝，利用裸露部份晶片背面，以提高其散熱效能。

為達成本發明之上述和其他目的，本發明提出一種面對面型多晶片封裝係採用覆晶技術，將多個晶片彼此面對面配置，並利用凸塊使其彼此電性連接，同時將多個晶片封裝在同一承載器上。

此外，依照本發明之一較佳實施例，本發明之面對面型多晶片封裝在封裝時可利用異方性導電膠填入晶片之間，以改善晶片間之電性連接。而由於採用覆晶技術，晶片上金屬墊之配置可採用面陣列方式，以提高封裝積集度，並且在封裝灌膠時可使部份晶片背面裸露，或配置一散熱片以提高其散熱效果。

再則，本發明之面對面型多晶片封裝結構，其承載器可以是導線架、軟片型承載器、印刷電路板，玻璃等；且可應用於各種類型之封裝，包括：錫球格狀陣列封裝(BGA)、電路板上晶片封裝(COB)、玻璃上晶片封裝(COG)，多晶片型晶片尺寸封裝(MCCSP)等。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖所繪示為一種習知多晶片型封裝。

第 2 圖所繪示為習知面對面多晶片型封裝的剖面示意

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

圖。

第 3A、3B 圖所繪示為依照本發明之第一較佳實施例，一種面對面型多晶片封裝之剖面示意圖。

第 3C、3D 圖所繪示為依照本發明之第一較佳實施例，一種具有散熱設計之面對面型多晶片封裝剖面示意圖。

第 4A 圖所繪示為依照本發明之第二較佳實施例，一種面對面型多晶片封裝之剖面示意圖。

第 4B、4C 圖所繪示為依照本發明之第二較佳實施例，一種具有散熱設計之面對面型多晶片封裝剖面示意圖。

第 5A、5B 圖所繪示為依照本發明之第二較佳實施例，一種面對面型多晶片封裝之剖面示意圖。

第 5C、5D 圖所繪示為依照本發明之第一較佳實施例，一種具有散熱設計之面對面型多晶片封裝剖面示意圖。

圖示標號說明：

10：基材

12、30、32、58、60、62、64、66：晶片

14：絕緣膠

16、94：導線

18、44：樹脂

20：錫球

34、36：凸塊

38：軟片承載器

40：導線架

42：錫球

50：晶片座

52、82：內導腳部份

54、84：外導腳部份

56、86：導腳

68：金屬墊

70：凸塊

58a、60a、62a、64a、66a：具有金屬墊之表面

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

58b、60b、62b、64b、66b：晶片背面

72：線型導電材料

74：填充材質

76：絕緣材質

80：可撓性膠片

78a、78b、88a、88b、98：散熱片

90：基材

92：接點

96：錫球

實施例

一般封裝技術可大略分為幾階段：

1. 承載器(Carrier)之選擇：依照產品之需求選擇適當之晶片承載器，比如導線架(Lead Frame)、軟片型承載器(film carrier)、玻璃或印刷電路板(PCB)等。其中軟片型承載器大多用於軟片自動接合(Tape Automatic Bonding, TAB)技術。
2. 晶片與承載器之電性接合：目前之技術包括打導線(wire bonding)、軟片自動接合(TAB)及覆晶技術(flip chip or controlled collapse chip connection, C4)。
3. 包裝及成型：將晶片及晶片與承載器接合部份以樹脂、陶瓷或其他包裝材質覆蓋，以保護元件及接合部份。

第一較佳實施例

請參照第 3A、3B 圖，其所繪示為依照本發明之第一較佳實施例，一種面對面型多晶片封裝之剖面示意圖。在此實施例中，本發明之面對面型多晶片封裝係採用導線架

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

作為承載器，一般導線架包括：一晶片座 50(die pad)及多個導腳 56(lead)，而導腳 56 又區分為內導腳部份 52 及外導腳部份 54。將多個晶片 58、60、62、64、66，封裝在一體積與這些晶片體積總和約略相同的封裝中，其中晶片 58、60、62、64、66 比如是動態隨機存取記憶體(DRAM)、唯讀記憶體(ROM)、靜態隨機存取記憶體(SRAM)、快閃記憶體(Flash Memory)、邏輯電路晶片(LOGIC)或類比晶片(ANALOG)等各種積體電路晶片，均可應用於本發明之封裝中。晶片 58、60、62、64、66 之一表面 58a、60a、62a、64a、66a 上均具有多個金屬墊 68(pad)，而本發明的特徵之一就是在晶片與晶片之連接方式採用覆晶技術(Flip Chip)，在金屬墊 68 上配置凸塊 70(Bump)，晶片 58、60、62、64、66 彼此面對面(face-to-face)配置，利用凸塊 70 作彼此之電性連接。由於採用覆晶技術，因此金屬墊 68 可採用面陣列配置(Area Array)，分布在晶片的整個表面上，適用於未來高積集度、多輸入/輸出接點(I/O Nodes)的半導體元件。

至於晶片 58、60、62、64、66 與導線架電性接合部份，可以利用習知打導線方式(wire bonding)，以線型導電材料 72，比如金線、鋁線或其他金屬線，將部份金屬墊 68 與導腳 56 之內導腳部份 52。當然亦可以採用覆晶技術，利用凸塊 70 與內導腳部份 52 電性連接(如第 3B 圖所示)。接著，晶片 58、60、62、64、66 間會填入填充材質 74，比如環氧樹脂(Epoxy)等絕緣材質，或者填入異方性導電膠(Anisotropic Conductive Paste, ACP)，以改善凸塊 70 間的

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(8)

電性連接效果。最後包裝及成型的部份，則採用絕緣材質 76，比如環氧基樹脂(Epoxy)，包覆晶片座 50、晶片 58、60、62、64、66 及內導腳部份 52。

請參照第 3C、3D 圖，其所繪示為依照本發明之第一較佳實施例，一種具有散熱設計之面對面型多晶片封裝剖面示意圖。針對多晶片封裝的散熱考量，可裸露部份晶片之背面 58b、60b，如第 3C 圖所示，如此的包裝技巧不但可以縮減整體封裝厚度，且讓晶片背面裸露將可以提供較佳的散熱路徑，提高散熱效能。當然，為提高散熱效果，亦可以增加散熱片，比如將散熱片 78a 配置在部份晶片背面 58b、60b、62b，或者將散熱片 78b 配置在晶片座 50 背面，且裸露於絕緣材質 76 外。

而後續將導腳 56 折彎成型(forming)的部份，以及導腳 56 與電路板間以表面焊接技術(Surface Mount Technique, SMT)接合部份，由於與習知技術相同，在此不再贅述。

此外，值得一提的是，本實施例中雖然所採用的導線架為具有晶片座之一般型導線架，然而熟習該項技術者應知，本發明知封裝結構亦可應用於不具晶片座之導線架，比如晶片上有導腳封裝(Lead On Chip, LOC)或導腳上有晶片封裝(Chip On Lead, COL)等之導線架，由於其結構與前述實施例類似，在此不再贅述。

第二較佳實施例

請參照第 4A 圖，其所繪示為依照本發明之第二較佳實施例，一種面對面型多晶片封裝之剖面示意圖。在此實施例中，本發明之面對面型多晶片封裝係採用軟片型承載

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

器作為承載器，一般軟片型承載器包括一可撓性膠片 80 及多個導腳 86，而導腳 86 亦區分為內導腳部份 82 及外導腳部份 84。晶片 58、60、62、64、66 之一表面 58a、60a、62a、64a、66a 上均具有多個金屬墊 68，而本實施例的特徵之一就是在晶片與晶片之連接方式，以及晶片與軟片型承載器間的連接，均採用覆晶技術(Flip Chip)，在金屬墊 68 上配置凸塊 70(Bump)，晶片 58、60、62、64、66 彼此面對面(face-to-face)配置，利用凸塊 70 作彼此之電性連接。由於採用覆晶技術，因此金屬墊 68 可採用面陣列配置(Area Array)，分布在晶片的整個表面上，適用於未來高積集度、多輸入/輸出接點(I/O Nodes)的半導體元件。至於晶片 58、60、62、64、66 與導腳 86 電性接合部份，亦採用覆晶技術，利用凸塊 70 與內導腳部份 82 電性連接。接著，晶片 58、60、62、64、66 間會填入填充材質 74，比如環氧樹脂等絕緣材質，或者填入異方性導電膠，以改善凸塊 70 間的電性連接效果。最後包裝及成型的部份，則採用絕緣材質 76，比如環氧基樹脂，包覆晶片 58、60、62、64、66 及內導腳部份 82。

請參照第 4B、4C 圖，其所繪示為依照本發明之第二較佳實施例，一種具有散熱設計之面對面型多晶片封裝剖面示意圖。針對多晶片封裝的散熱考量，可裸露部份或全部晶片之背面 58b、60b、62b、64b、66b，如第 4B 圖所示，如此的包裝技巧不但可以縮減整體封裝厚度，且讓晶片背面裸露將可以提供較佳的散熱路徑，提高散熱效能。當然，為提高散熱效果，亦可以增加散熱片，比如將散熱

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

片 88a 配置在部份晶片背面 58b、60b、62b，或者將散熱片 88b 配置在晶片背面 64b、66b，且裸露於絕緣材質 76 外。

而後續將導腳 86 折彎成型(forming)的部份，以及導腳 86 與電路板間以表面焊接技術(Surface Mount Technique, SMT)接合部份，由於與習知技術相同，在此不再贅述。

第三較佳實施例

請參照第 5A 圖，其所繪示為依照本發明之第三較佳實施例，一種面對面型多晶片封裝之剖面示意圖。在此實施例中，本發明之面對面型多晶片封裝係採用印刷電路板或玻璃作為承載器，一般印刷電路板或玻璃承載器包括一基材 90，比如是 FR-4、FR-5、BT 或玻璃等，而基材 90 表面具有多個接點 92，甚至包括印刷電路(Print Circuit，未繪示)。若基材 90 是直接利用電路基板(mother board)，亦即採用電路板上晶片封裝 COB，或者為錫球格狀陣列封裝(BGA)之基板(substrate)，則基材 90 係由多層絕緣材質及印刷電路(銅箔)壓合而成。晶片 58、60、62、64、66 之一表面 58a、60a、62a、64a、66a 上均具有多個金屬墊 68，而晶片與晶片之連接方式，採用覆晶技術(Flip Chip)，在金屬墊 68 上配置凸塊 70(Bump)，晶片 58、60、62、64、66 彼此面對面(face-to-face)配置，利用凸塊 70 作彼此之電性連接。由於採用覆晶技術，因此金屬墊 68 可採用面陣列配置(Area Array)，分布在晶片的整個表面上，適用於未來高積集度、多輸入/輸出接點(I/O Nodes)的半導體元件。至於晶片 58、60、62、64、66 與基材 90 之接點 92

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

電性接合部份，則採用打導線方式，利用導線 94 與接點 92 電性連接。接著，晶片 58、60、62、64、66 間會填入填充材質 74，比如環氧樹脂等絕緣材質，或者填入異方性導電膠，以改善凸塊 70 間的電性連接效果。最後包裝及成型的部份，則採用絕緣材質 76，比如環氧基樹脂，包覆部份基材 90 及其上之接點 92 與晶片 58、60、62、64、66。請參照第 5B 圖，若基材 90 為錫球格狀陣列封裝(BGA)之基板，則在基材 90 的另一面(未配置晶片的一面)會配置有多個錫球 96(solder ball)，以期與電路基板連接，而錫球 96 係藉由基材 90 中之通孔及印刷電路(未繪示)與接點 92 連接。

請參照第 5C、5D 圖，其所繪示為依照本發明之第三較佳實施例，一種具有散熱設計之面對面型多晶片封裝剖面示意圖。針對多晶片封裝的散熱考量，可裸露部份晶片之背面 58b、60b，如第 5C 圖所示，如此的包裝技巧不但可以縮減整體封裝厚度，且讓晶片背面裸露將可以提供較佳的散熱路徑，提高散熱效能。當然，為提高散熱效果，亦可以增加散熱片，比如將散熱片 98 配置在部份晶片背面 58b、60b，且裸露於絕緣材質 76 外。

綜上所述，本發明之面對面型多晶片封裝至少具有下列優點：

1. 本發明之面對面型多晶片封裝，可降低封裝後之面積及體積，且藉由覆晶技術與金屬墊之面陣列配置，可以大大提高封裝的積集度。

2. 本發明之面對面型多晶片封裝，直接以凸塊作為晶

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(12)

片與晶片間之電性連接，縮短晶片與晶片的訊號傳輸路徑，提高整體封裝的效能，並由於凸塊採用面陣列配置，可應用於未來高積集度、多輸入/輸出接點的半導體元件。

3.本發明之面對面型多晶片封裝，由於可採用裸晶的封裝方式，可提高其散熱效能，亦可藉由散熱片之配置，增加其散熱量。

4.本發明之面對面型多晶片封裝，其晶片可以為 DRAM、ROM、SRAM、Flash Memory、LOGIC 或 ANALOG 等各種積體電路晶片，因此本發明之封裝可應用於各種不同功能或各種頻率之領域，比如可應用於通訊器材、電腦系統等，甚至作為單一系統晶片。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

1.一種面對面型多晶片封裝，包括：

一導線架，該導線架至少具有一晶片座及複數個導腳，
且每一該些導腳分別具有一外導腳部份及一內導腳部份；

複數個晶片，配置於該晶片座上，每一該些晶片之一
表面分別具有複數個金屬墊，且該些晶片以具有該些金屬
墊之該表面彼此面對面配置；

複數個凸塊，配置於該些晶片之間的該些金屬墊上，
用以使得該些晶片彼此相互電性連接；

複數個導電材料，連接部份該些金屬墊及該些導腳之
該內導腳部份；以及

一絕緣材質，包覆該晶片座、該些晶片及該些導腳之
該內導腳部份。

2.如申請專利範圍第 1 項所述之面對面型多晶片封
裝，其中該些晶片間更填充一環氧樹脂。

3.如申請專利範圍第 1 項所述之面對面型多晶片封
裝，其中該些晶片間更填充一異方性導電膠。

4.如申請專利範圍第 1 項所述之面對面型多晶片封
裝，其中該些導電材料包括金屬線。

5.如申請專利範圍第 1 項所述之面對面型多晶片封
裝，其中該些導電材料包括凸塊。

6.如申請專利範圍第 1 項所述之面對面型多晶片封
裝，其中該絕緣材質包括環氧樹脂。

7.如申請專利範圍第 1 項所述之面對面型多晶片封
裝，其中該些金屬墊在些晶片上採用面陣列式配置。

8.如申請專利範圍第 1 項所述之面對面型多晶片封

(請先閱讀背面之注意事項再填寫本頁)

訂

總

六、申請專利範圍

裝，其中該絕緣材質暴露出部份該些晶片之另一表面。

9.如申請專利範圍第 1 項所述之面對面型多晶片封裝，其中該面對面型多晶片封裝更包括一散熱片配置於該晶片座，並裸露於該絕緣材質之外。

10.如申請專利範圍第 1 項所述之面對面型多晶片封裝，其中該面對面型多晶片封裝更包括一散熱片配置於部份該些晶片之另一表面，並裸露於該絕緣材質之外。

11.一種面對面型多晶片封裝，包括：

一基材，該基材之一表面上至少具有複數個接點；

複數個晶片，配置於該基材具有該些接點之該表面上，每一該些晶片之一表面分別具有複數個金屬墊，且該些晶片以具有該些金屬墊之該表面彼此面對面配置；

複數個凸塊，配置於該些晶片之間的該些金屬墊上，用以使得該些晶片彼此相互電性連接；

複數個導線，連接部份該些金屬墊及該些線路；以及一絕緣材質，包覆部份該基材及該些晶片。

12.如申請專利範圍第 11 項所述之面對面型多晶片封裝，其中該基材包括印刷電路板。

13.如申請專利範圍第 11 項所述之面對面型多晶片封裝，其中該基材包括錫球格狀陣列封裝基材。

14.如申請專利範圍第 11 項所述之面對面型多晶片封裝，其中該基材包括玻璃。

15.如申請專利範圍第 11 項所述之面對面型多晶片封裝，其中該些晶片間更填充一環氧樹脂。

16.如申請專利範圍第 11 項所述之面對面型多晶片封

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

裝，其中該些晶片間更填充一異方性導電膠。

17.如申請專利範圍第 11 項所述之面對面形多晶片封裝，其中該絕緣材質包括環氧樹脂。

18.如申請專利範圍第 11 項所述之面對面形多晶片封裝，其中該絕緣材質包覆部份該基材及該些晶片，且暴露出部份該些晶片之另一表面。

19.如申請專利範圍第 11 項所述之面對面型多晶片封裝，其中該些金屬墊在些晶片上採用面陣列式配置。

20.如申請專利範圍第 11 項所述之面對面型多晶片封裝，其中該面對面型多晶片封裝更包括一散熱片配置於部份該些晶片之另一表面，並裸露於該絕緣材質之外。

21.一種面對面型多晶片封裝，包括：

一承載器，該承載器至少複數個導腳，且每一該些導腳分別具有一外導腳部份及一內導腳部份；

複數個晶片，每一該些晶片之一表面分別具有複數個金屬墊，且該些晶片以具有該些金屬墊之該表面彼此面對面配置；

複數個第一凸塊，配置於該些晶片之間的該些金屬墊上，用以使得該些晶片彼此相互電性連接；

複數個第二凸塊，連接部份該些金屬墊及該些導腳之該內導腳部份；以及

一絕緣材質，包覆該些晶片及該些導腳之該內導腳部份。

22.如申請專利範圍第 21 項所述之面對面型多晶片封裝，其中該承載器包括導線架。

(請先閱讀背面之注意事項再填寫本頁)

訂

總

六、申請專利範圍

23.如申請專利範圍第 21 項所述之面對面型多晶片封裝，其中該承載器包括軟片型承載器。

24.如申請專利範圍第 21 項所述之面對面型多晶片封裝，其中該些晶片間更填充一環氧樹脂。

25.如申請專利範圍第 21 項所述之面對面型多晶片封裝，其中該些晶片間更填充一異方性導電膠。

26.如申請專利範圍第 21 項所述之面對面型多晶片封裝，其中該絕緣材質包括環氧樹脂。

27.如申請專利範圍第 21 項所述之面對面型多晶片封裝，其中該些金屬墊在些晶片上採用面陣列式配置。

28.如申請專利範圍第 21 項所述之面對面型多晶片封裝，其中該絕緣材質暴露出部份該些晶片之另一表面。

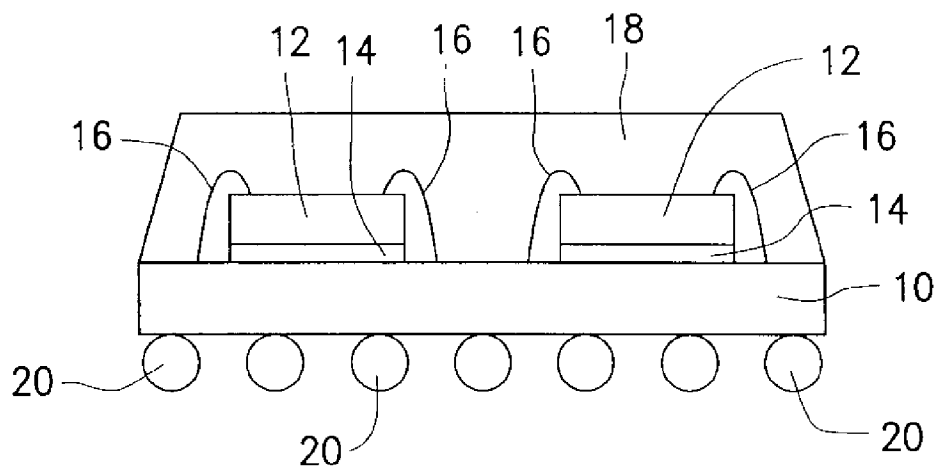
29.如申請專利範圍第 21 項所述之面對面型多晶片封裝，其中該面對面型多晶片封裝更包括一散熱片配置於部份該些晶片之另一表面，並裸露於該絕緣材質之外。

(請先閱讀背面之注意事項再填寫本頁)

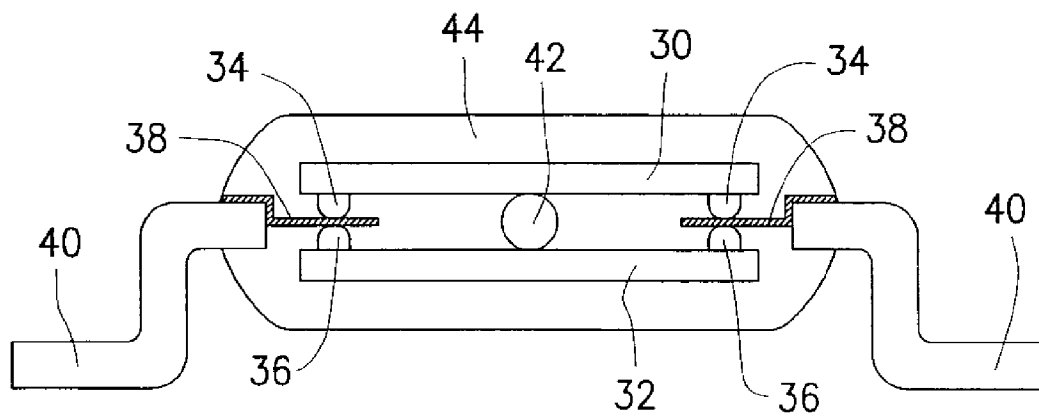
訂

細

4035TW

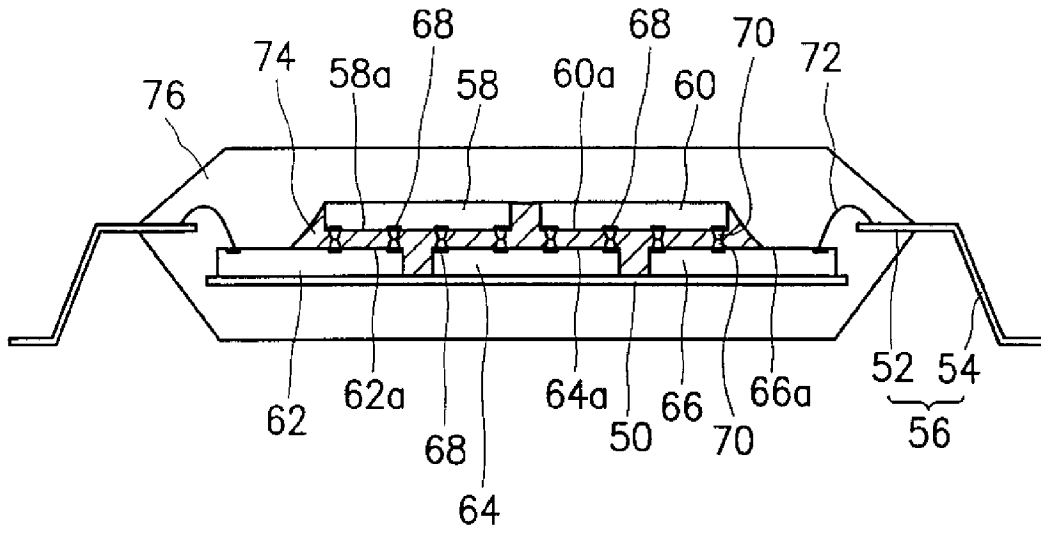


第 1 圖

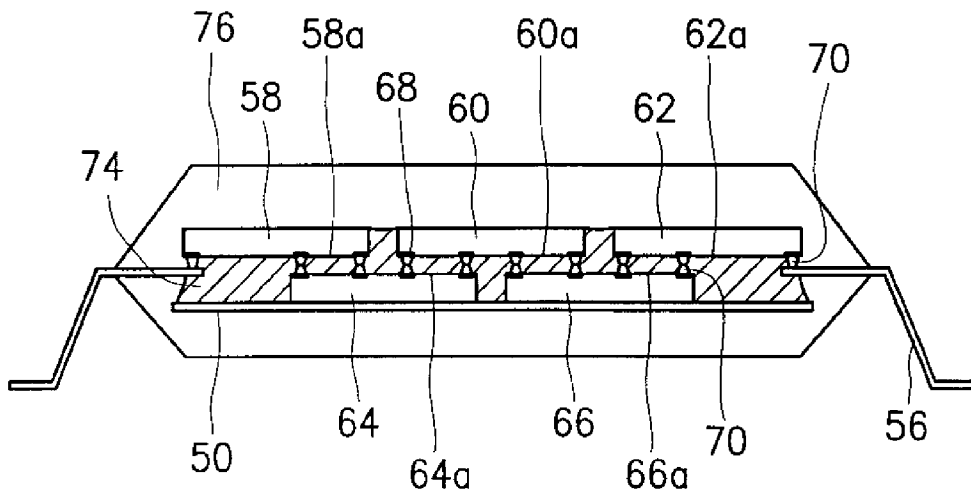


第 2 圖

4035TW

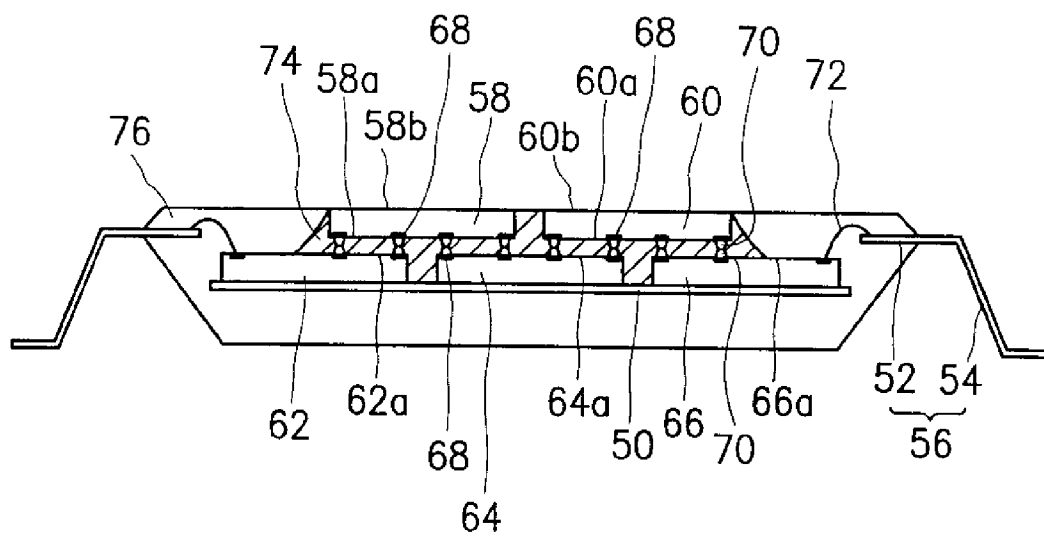


第3A圖

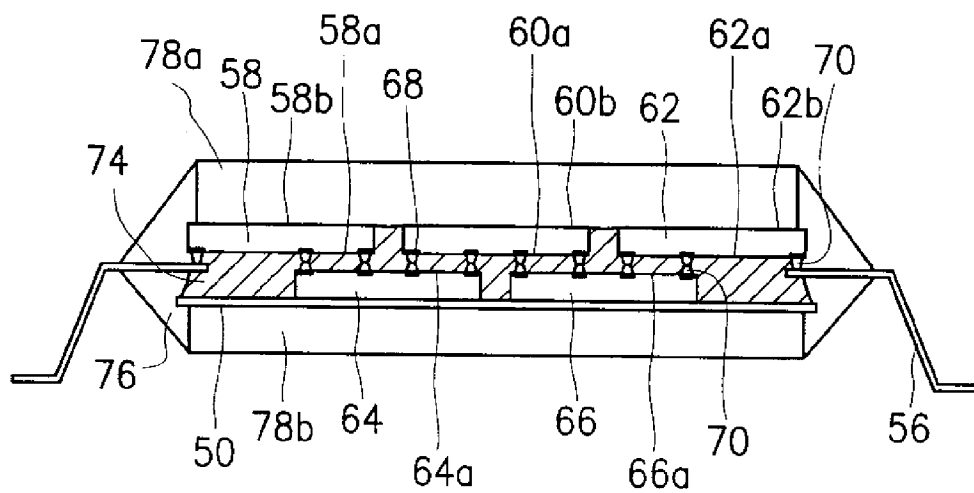


第3B圖

4035TW

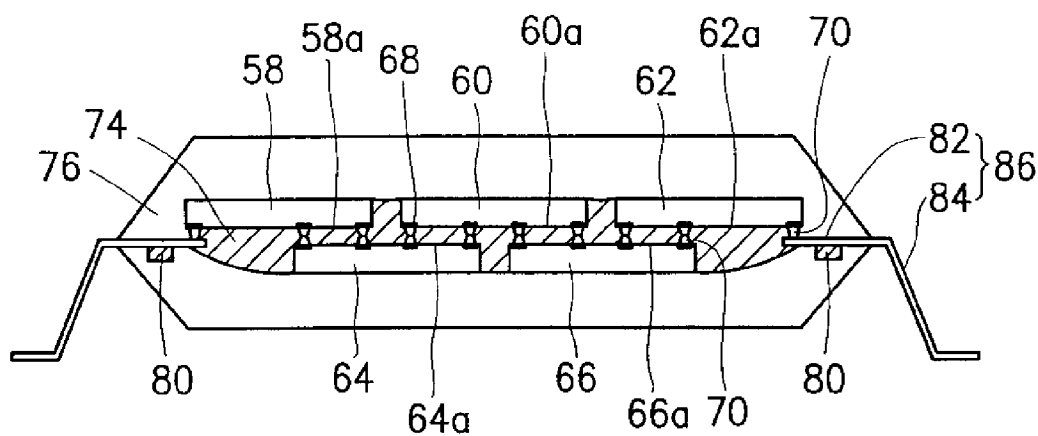


第3C圖

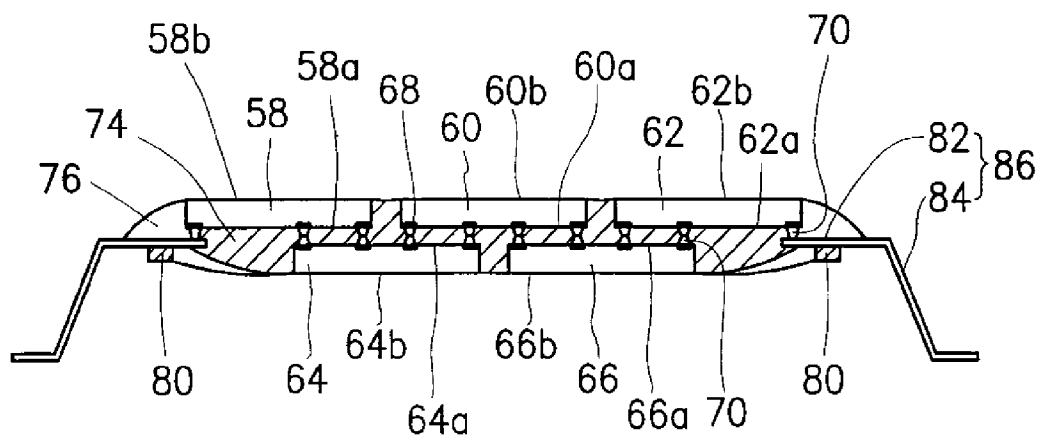


第3D圖

4035TW

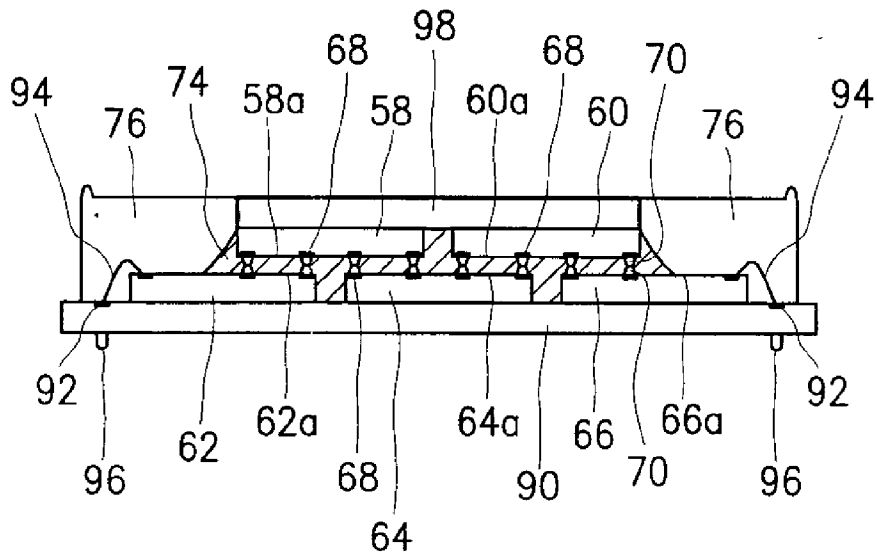


第4A圖



第4B圖

4035TW



第5D圖